

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**LIQUID CRYSTAL DISPLAY ELEMENT**

Patent Number: JP7013166  
Publication date: 1995-01-17  
Inventor(s): HISATAKE YUZO; others: 04  
Applicant(s):: TOSHIBA CORP  
Requested Patent: ☐ JP7013166  
Application Number: JP19930154032 19930625  
Priority Number(s):  
IPC Classification: G02F1/1337 ; G02F1/1343  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:**To fix the points where discrimination lines are generated by slit parts and to stabilize the generation of the boundary lines for orientation to different liquid crystal orientation states by providing the slit parts along the boundary parts of the different liquid crystal orientation states in respective pixels to at least one of the first electrode and the second electrode.

**CONSTITUTION:**Lower electrodes 55 of a lower substrate 54 are rectangular and the boundaries b0 of the liquid crystal orientation state of a lower oriented film 60 are formed in the prescribed positions bisected in a longitudinal direction. Namely, the regions of the different orientation states shifting the rubbing direction by 180 deg. are formed within one pixel P. The running orientation regions shifting the rubbing directions b1 and c1 by 180 deg. with the boundary b0 bisecting the one pixel P as a boundary are similarly formed on the upper oriented film 53 on an upper substrate 51 as well. Further, the slit parts 61 are formed by each one pixel along the boundaries b0 of the different orientation states on the common electrode 52 of the upper substrate 51. On the other hand, black matrix layers 62, 59 are formed on the lower substrate 54 surface on the rear side of the lower electrodes 55 corresponding to the slit parts 61.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-13166

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1337	5 0 5	9225-2K	
	1/1343		8707-2K	

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平5-154032

(22) 出願日 平成5年(1993)6月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 久武 雄三

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 岡本 ますみ

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 山本 恭弘

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 弁理士 大胡 典夫

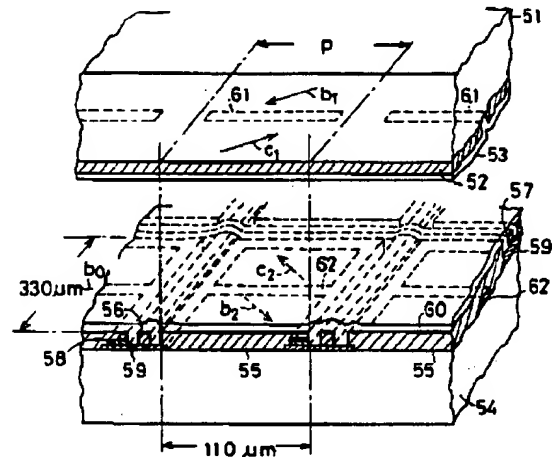
最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【構成】 液晶層を挟んで対向する電極52、55上に、画素pごとに異なる液晶配向状態に配向する二領域をもつ配向膜53、60を形成し、これら異なる液晶配向状態に配向する領域の境界b0に沿っていずれかの電極側にスリット部61を形成する。

【効果】 スリット部によりディスクリネーションラインの発生箇所を固定し、異なる液晶配向状態に配向する境界の前記ラインの発生の安定をはかる。



## 【特許請求の範囲】

【請求項1】 複数の画素を形成するように相互に対向して配置された第1の電極と第2の電極と、これら電極間に配置され誘電異方性が正のネマティック液晶からなる液晶層と、前記電極上に設けられ前記液晶層を複数の異なる液晶配向状態に配向する配向膜とからなる液晶表示素子において、

前記第1の電極と第2の電極の少なくとも一方が前記各画素内の前記異なる液晶配向状態の境界部に沿ってスリット部を有する事の特徴とする液晶表示素子。

【請求項2】 第1の電極が共通電極であり第2の電極が画素ごとにスイッチング素子を有する複数の画素電極であって、前記第1の電極の各画素電極を形成する第2の電極に対向する位置にスリット部を有する請求項1に記載された液晶表示素子。

【請求項3】 スリット部に対応する少なくとも一方の基板の面にブラックマトリクス層を形成してなる請求項1または2に記載の液晶表示素子。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示素子に係わる。

【0002】

【従来の技術】 液晶表示素子は主にネマティック液晶を用いており、表示方式として複屈折モードと旋光モードの2つの方式に大別できる。

【0003】 振じれネマティック液晶を用いた複屈折モードの表示方式の液晶表示素子は、例えば、 $90^\circ$ 以上振じれた分子配列を持ち（ST方式と呼ばれる）、急峻な電気光学特性を持つため、各画素ごとにスイッチング素子（薄膜トランジスタやダイオード）が無くても時分

割駆動により容易に大容量表示が得られる。

【0004】 一方、旋光モードの液晶表示素子はTN方式と呼ばれ、 $90^\circ$ 振じれた分子配列をもち、応答速度が数十ミリ秒と速く高いコントラスト比を示すことから、時計や電卓、さらにはスイッチング素子を各画素ごとに設けることにより大表示容量で高コントラストな高い表示性を持った液晶表示素子例えばTF-T型表示素子を実現することができる。

【0005】 近年、このTF-T-液晶表示素子は階調表示を行っているが、斜めから観察した場合には表示の反転や黒つぶれ、白抜けといった現象が生じる。

【0006】 これらの問題を解決する手段として、一画素内に液晶分子の起き上がる方向が $180^\circ$ 異なる二領域を設けた液晶表示素子を用いて視角依存性を改善する方法でTDTN（二領域TN）と呼ばれる方式が提唱されている（例えば特開昭64-88520号公報参照）。また、液晶分子配列にスプレイ配列を用い、先のTDTNと同様の効果を得るDDTN（領域分割TN（Y.Xoike, et. al., 1992, SID, p798）などが提案されている。これらは、前述した印加電圧-透過率特性の視角依

存性が異なる二領域を一画素として、前述した現象を事実上なくすことを目的としている。

【0007】 DDTN、TDTNは、少なくとも電圧印加時に画素配向分割の境界部に、ディスクリネーションラインが出現するため、このことによって表示品位を著しく低下させる恐れがある。このため、ディスクリネーションラインが出現する位置にブラックマトリクスのような遮光領域を設け、その表示品位を維持する必要がある。このディスクリネーションラインは基本的には配向境界部に出現するが、特に電圧印加時には、その出現位置や幅が不定となることが多い。

【0008】 すなわち図5、6はDDTN、TDTNにおける配向境界部の電圧印加時の液晶分子配列を概念的に示したものである。図5（a）、（b）のようにDDTNの構成では上基板1に透明電極2を形成し、その全面に低プレチルト角配向膜3を付け、さらに各画素pの半分の領域に高プレチルト角配向膜5を設ける。下基板6も同様に透明電極7、低プレチルト角配向膜8、高プレチルト角配向膜9を付け、基板1、6を対向させたときに一画素pの領域内に低プレチルト配向膜3と高プレチルト角配向膜9が対面するようにしたものである。

【0009】 高、低プレチルト角配向膜のいずれもラビング方向（矢印aで示す、説明上、ねじれを省略）は同じとする。したがって、液晶を配向させたときに、両プレチルト角配向膜により一画素の領域内に丁度反転した液晶配向状態が生じる。ここで、図は電圧印加状態の液晶分子Mの配向状態を概念的に表している。

【0010】 電圧無印加時には、およそ液晶分子配列は全面同一配向をなしているため、前記ディスクリネーションラインは出現せず、このことは問題にならないが、電圧印加時は液晶分子の立ち上がる方向が各配向領域ごとに異なるため前記ディスクリネーションラインdが出現する。TDTNは、図6（a）、（b）に示すように同一画素p上の配向膜12に $180^\circ$ 方向がずれたラビング処理（矢印b、c）を施すものであり、電圧無印加時から液晶分子配列に境界を持つTDTNもそのディスクリネーションラインdの出現する位置が問題となる。ここで、TDTN、DDTNともに画素内で配向処理を異ならせるため、2種の配向膜を用いたり、ラビング処理において、画素の一部にラビングがなされない領域を設けるための覆いとしてマスクするため、図5（b）の領域DL2のように配向膜厚分の段差を生じたり、前記マスク厚分の段差を生じたりして、図6（b）の領域DL4のように、配向境界部の付近は配向力が弱まる傾向にある。このため、電圧印加時には、ディスクリネーションラインdの出現する位置つまり、液晶分子Mの立ち上がる方向が異なる境界部が、配向処理境界部の付近の配向力が弱まることによって不定となり、様々な位置に出現し、問題となっていた。

【0011】 また、DDTN、TDTN双方とも、上下

3

基板間において、配向処理境界部（DDTNの場合、配向膜種の境界、TDTNの場合、ラビング方向の境界）が合わせずれを生じた場合にも、図5（a）、図6（a）の領域DL1、DL3に示すように、前記ディスクリネーションラインdの出現する位置つまり、液晶分子の立ち上がる方向が異なる境界部が不定となり、様々な位置に出現し、問題となっていた。

【0012】さらに、前記配向処理境界部付近にスペーサーが配置された場合も、そのスペーサー近辺の液晶分子配列が乱れるため、特に電圧印加時には前記ディスクリネーションラインの出現する位置つまり、液晶分子の立ち上がる方向が異なる境界部が不定となり、様々な位置に出現し、問題となっていた。

【0013】

【発明が解決しようとする課題】前述したように、従来の液晶表示素子には、階調表示を行う際、印加電圧一透過率特性に極値が存在することによる表示の反転現象等の視角依存性が生じていた。また、これらを解決する手段としては、液晶分子の起き上がる方向を一画素内に2方向以上設けて事実上の極値をなくすことが提案されているが、電圧印加時には前記ディスクリネーションラインの出現する位置つまり、液晶分子の立ち上がる方向が異なる境界部が不定となり、様々な位置に出現し、問題が生じていた。

【0014】本発明はこれら不都合を解決するものであり、前記ディスクリネーションラインの出現する位置つまり、液晶分子の立ち上がる方向が異なる境界部を所定の位置に出現しうる新規なセル構成を提出するものである。

【0015】

【課題を解決するための手段】本発明は、複数の画素を形成するように相互に対向して配置された第1の電極と第2の電極と、これら電極間に配置され誘電異方性が正のネマティック液晶からなる液晶層と、前記電極上に設けられ液晶層を複数の異なる液晶配向状態に配向する配向膜とからなる液晶表示素子において、第1の電極と第2の電極の少なくとも一方が各画素内の前記異なる液晶配向状態の境界部に沿ってスリット部を有する液晶表示素子を得るものである。

【0016】さらに第1の電極が共通電極であり第2の電極が一画素ごとにスイッチング素子を有する複数の画素電極であって、前記第1の電極の各画素電極を形成する第2の電極に対向する位置にスリット部を有するアクティブマトリクス駆動液晶表示素子を得るものである。

【0017】さらに本発明においては、スリット部に対応する少なくとも一方の基板の面にブラックマトリクス層を形成する。

【0018】

【作用】本発明の液晶表示素子の作用を図3により説明する。図3はDDTN素子であり透明ストライプ電極2

4

2と、一画素を二分する低プレチルト角配向膜23と高プレチルト角配向膜24を設けた上基板21と、透明ストライプ電極25と、一画素を二分する低プレチルト角配向膜26と高プレチルト角配向膜27を設けた下基板28とを10μm以下の間隔で対向させ、この間隙に液晶層29を挟持させる。矢印aは配向方向を示すが、説明を簡略にするため、ねじれの状態を省略した。

【0019】上基板の一画素の領域内で高低プレチルト角配向膜23、24の境界部分24aに沿って、上基板の電極22は導電部分のないスリット部30を、例えば5μm幅で形成している。このため、両電極22、25間に電圧を印加すると、このスリット部30近傍の電界に横成分を生じて、スリット部30を中心にして斜電界となり図のように電気力線eが曲がる。すなわち、液晶分子Mの立ち上がり方向は、このスリット部を中心にして異なることになる。図はこの斜電界による液晶分子Mの異なる立ち上がりによる配列状態を示している。

【0020】このように、本発明の構成を用いれば斜めに電界がかかる作用によって、多少の配向処理境界部の上下のずれや配向処理境界部付近の配向力の低下が生じても、液晶分子の立ち上がる方向の境界はこの電界の電気力線eの方向の境界部で決まるため、前記ディスクリネーションラインの出現する位置はこのスリット部30を中心安定して出現するため、この位置に僅かな遮光層を設ければ、表示品位を損なうことがなくなる。

【0021】図から明らかなように電界は異なる2方向に斜めに印加されるため、多少、液晶分子のチルト方向を決め得る各基板表面の配向規制力が弱くても、自ずと所望の方向に液晶分子が立ち上がることを助長する作用も得られる。

【0022】このスリット部30に発生するディスクリネーションラインを遮光するために、下基板面の電極25のスリット部に対向する下層にブラックマトリクス層31を形成しておく。

【0023】TDTNの場合を図4に示す。ストライプ電極32を一画素上で配向方向b、cを180°異ならせて有する配向膜33を積層した上基板34と、ストライプ電極35を一画素上で配向方向b、cを180°異ならせて有する配向膜36を積層した下基板37を対向させ、これら間に液晶層38を配置する。ストライプ状の上電極32とストライプ状の下電極35は90°交差で配列されている。

【0024】これら電極の交差領域が一画素pとなるが、図のように上電極の一画素内における配向状態が変わる境界に沿って電極のないスリットすなわちスリット部分39を形成している。スリット部両端は連絡部によりスリット部分両側の電極部分が接続されている。

【0025】電圧を印加すると、スリット部分39を中心に斜電界が発生する。この斜電界による液晶分子Mへの影響はスリット部分を中心にして対称的に異なる方向

5

であり、液晶分子Mを電気力線eに沿わせるように整列させる。このため、ディスクリネーションラインを狭くしかも安定して発生させる。このディスクリネーションラインが発生する位置の両基板のいずれかにブラックマトリクス層41を設けて、透過光の乱れを吸収する。

【0026】

【実施例】以下図面により本発明の実施例について説明する。

【0027】（実施例1）図1および図2は本発明をアクティブマトリクス駆動型液晶表示素子に適用した実施例を示すものである。

【0028】図において、ガラスの上基板51は一表面にITOでできた透明共通電極52とその上に被着されたポリイミドの上配向膜（商品名AL-1051、日本合成ゴム製）53が設けられる。一方、ガラスの下基板54は前記上基板51に対向する表面に一画素pを形成する画素電極55をモザイク条に配置し、これらの間に信号線56とゲート線57を配線する。各画素電極55はTFTからなるスイッチング素子58を有しており、信号線56とゲート線57に接続されている。下基板54上の信号線56、ゲート線57およびスイッチング素子58が位置する領域に光を遮蔽するブラックマトリクス層59が配置される。さらに画素電極55面を含む下基板54全面にポリイミドの下配向膜（商品名AL-1051、日本合成ゴム製）60が被着される。

【0029】下電極55は各 $330\mu\text{m} \times 110\mu\text{m}$ の長方形の寸法を有しており、長方形を二分する長手方向中心 $165\mu\text{m}$ の位置で、下配向膜60の液晶配向状態の境界b0を形成するようにする。すなわち、本実施例はTDTN型素子であり、一画素p内にラビング処理方向を $180^\circ$ ずらした異なる液晶配向状態の領域p1、p2を形成する。矢印b2は一方の領域p1のラビング配向方向を、矢印c2は他方の領域p2のラビング配向方向を示し、フォトレジストのマスクパターンを用いて2度のラビング処理により、同一配向膜上に形成する。

【0030】上基板51の上配向膜53についても同様に、一画素p内に一画素を二分する境界b0を境にラビング方向b1とc1が $180^\circ$ ずれたラビング配向領域を形成する。これらの方向は、上配向膜53のラビング方向b1、c1と下配向膜60のラビング方向b2、c2とが $90^\circ$ 交差するように、上下基板を $5\mu\text{m}$ の間隔で対向させる。

【0031】さらに、本実施例では上基板の共通電極52に前記異なる配向状態の境界b0に沿って、導電部分のない長さ $110\mu\text{m}$ 、幅 $5\mu\text{m}$ のスリット部61が一画素ごとに形成される。

【0032】一方、スリット部61に対応する下電極55の裏側で下基板54面に幅 $20\mu\text{m}$ のブラックマトリクス層62が他のブラックマトリクス層59とともに形成される。

6

【0033】得られる上下基板51、54をシール剤でシールして液晶セルとし、基板間に誘電異方性が正のネマティック液晶（商品名ZLI-2293、メルクジャパン社製）を液晶層63として配置して液晶表示素子を得る。

【0034】本実施例の液晶表示素子を用いて、両面にクロスニコル配置の偏光板を配置し、電気光学特性を視角を振って測定したところ、対称で広い視角特性が得られ、なおかつ、配向境界b0に生じるディスクリネーションラインは、スリット部内側の幅の範囲で発生し最小幅のブラックマトリクス層のパターンで十分に遮光できて良好な表示品位が得られた。

【0035】（実施例2）図3に示す単純マトリクス型液晶表示素子において、DDTN型で素子を形成した。本実施例素子をマルチプレックス駆動し、実施例1同様、電気光学特性を視角を振って測定したところ、実施例1同様対称で広い視角特性が得られ、なおかつ、配向境界に生じるディスクリネーションラインは、スリット部の内側にしか出現せず、良好な表示品位が得られた。

【0036】（比較例）前記実施例1において上基板の共通電極にスリット部のない構造である従来構成の画素配向分割型液晶表示素子を作成したところ、一部の画素にブラックマトリクス層からはみでるディスクリネーションラインが発生し、表示品位を低下させた。

【0037】

【発明の効果】本発明によれば、画素配向分割型液晶表示素子において、出現するディスクリネーションラインの発生位置が安定して所望の位置に出現し、表示品位を低下させることがない。また、多少配向規制力が弱くてもチルトリバース等の配向不良は生じにくくなるといった効果を得る。

【0038】なお、本発明はMIMからなるスイッチング素子を用いても同様の効果を得ることは言うまでもなく、また、3原色のカラーフィルターを用いての表示のカラー化をしても同様の効果を得ることは言うまでもない。

【図面の簡単な説明】

【図1】本発明の一実施例を示部分的斜視図。

【図2】図1に示す実施例の作用を説明する略断面図。

【図3】本発明の作用を説明するTDTN素子の略断面図。

【図4】本発明の作用を説明するDDTN素子の略断面図。

【図5】（a）、（b）は従来のTDTN型液晶表示素子の構成および出現するディスクリネーションライン発生位置を説明する略断面図。

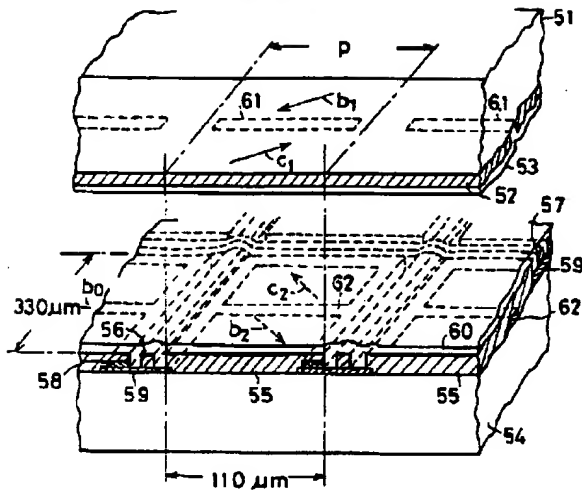
【図6】（a）、（b）は従来のDDTN型液晶表示素子の構成および出現するディスクリネーションライン発生位置を説明する略断面図。

【符号の説明】

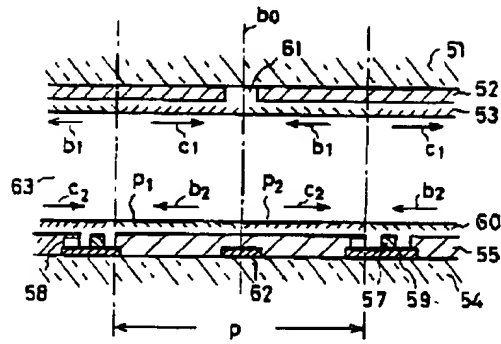
51...上基板  
52...共通電極  
53...上配向膜  
54...下基板  
55...画素電極  
58...スイッチング素子

59...ブラックマトリクス層  
60...下配向膜  
61...スリット部  
62...ブラックマトリクス層  
63...液晶層  
b0...液晶配向状態境界

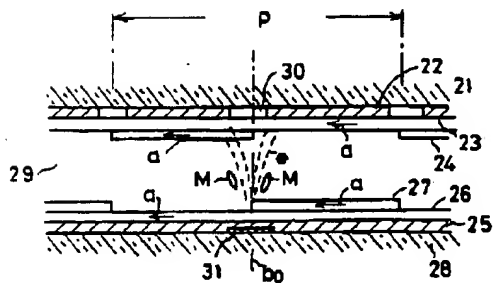
【図1】



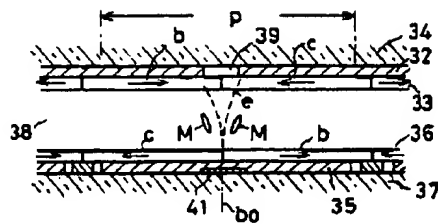
【図2】



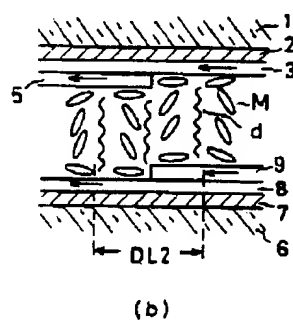
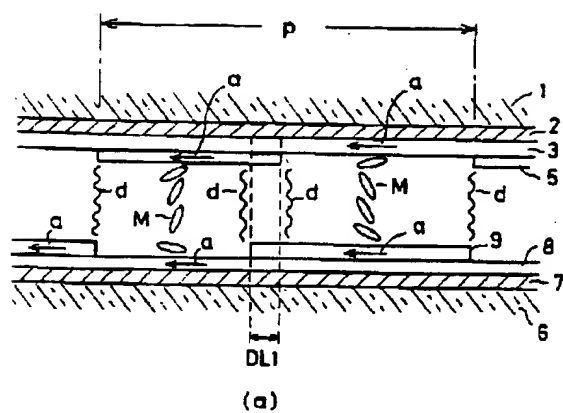
【図3】



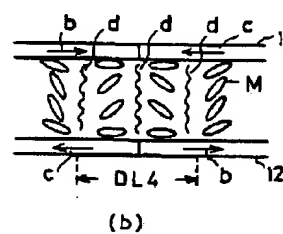
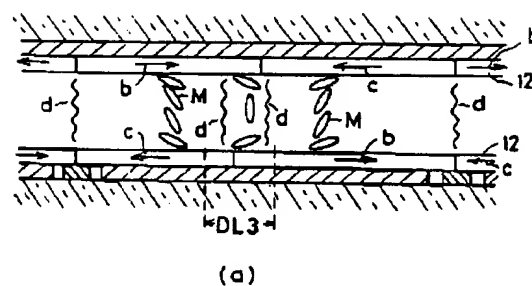
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 山本 武志

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 羽藤 仁

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内